

(19)日本国特許庁 (J P)

(12) 公表特許公報 (A)

(11)特許出願公表番号

特表2002-530864

(P2002-530864A)

(43)公表日 平成14年9月17日(2002.9.17)

(51)IntCl.<sup>7</sup>

H01L 29/78

識別記号

F I

H01L 29/78

テマコード(参考)

301S 5F140

審査請求 未請求 予備審査請求 有 (全 28 頁)

(21)出願番号 特願2000-583081(P2000-583081)  
(86)(22)出願日 平成11年11月5日(1999.11.5)  
(85)翻訳文提出日 平成13年5月14日(2001.5.14)  
(86)国際出願番号 PCT/US99/26224  
(87)国際公開番号 WO00/30169  
(87)国際公開日 平成12年5月25日(2000.5.25)  
(31)優先権主張番号 09/191,076  
(32)優先日 平成10年11月12日(1998.11.12)  
(33)優先権主張国 米国(US)

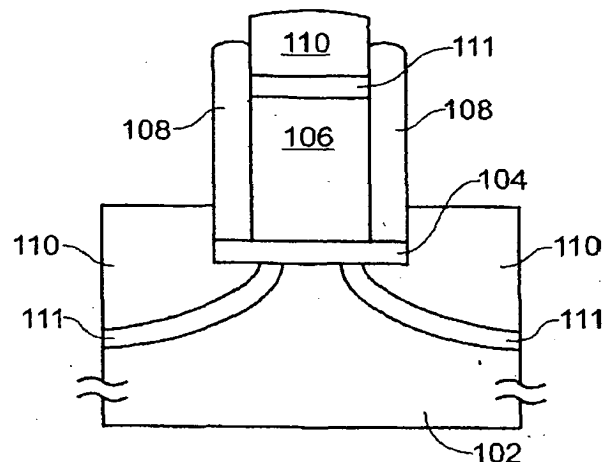
(71)出願人 インテル・コーポレーション  
アメリカ合衆国 95052 カリフォルニア  
州・サンタクララ・ミッション カレッジ  
ブールバード・2200  
(72)発明者 マーシー, アナンド・エス  
アメリカ合衆国・97006・オレゴン州・ビ  
ーバートン・ノースウエスト 173アール  
ディ アベニュー・1845・アパートメント・  
1304  
(74)代理人 弁理士 山川 政樹

最終頁に続く

(54)【発明の名称】 階段ソース/ドレイン接合部を有する電界効果トランジスタ構造

(57)【要約】

本発明を実施するマイクロ電子構造は、高い導電性のソース/ドレイン延長部を有する電界効果トランジスタ(FET)を含む。そのように高い導電性のソース/ドレイン延長部の形成は、そのソース/ドレイン接合を形成するために、ドーピングされた材料のエピタキシャル堆積によって充填し直されパッシベートされるリセスの形成を含む。そのリセスは、そのゲート構造の部分の下にある横方向に延長した部分を含む。そのような横方向の延長部は、その横方向リセスがそのゲート構造のゲート電極部分の下にあるように、そのゲート電極構造(106)の垂直側壁に隣接する側壁スペーサ(108)の下にあることができ、または、FETのチャンネル部分内にさらに延びることもできる。一実施形態では、そのリセスは、反対にドーピングされた材料の2つの層のインサイチュ・エピタキシャル堆積によって、充填し直される。このように、ソース/ドレイン延長部の比較的低い抵抗を提供し、さらに良好なオフ状態サブスレショルド・リーク特性を提供する、非常に急な接合が達成される。代替の実施形態は、単一の導電タイプの充填し直さ



**【特許請求の範囲】**

【請求項1】 マイクロ電子構造であって、

第1平面である上面を有する基板と、

前記基板の上面上に配置される誘電体と、

対向する垂直壁に沿って配置された第1の側壁スペーサを有し、前記誘電体上に配置されるゲート電極と、

ソース端子およびドレイン端子とを備え、前記ソース端子およびドレイン端子のそれぞれは、一部が前記基板内に一部が前記基板上に、前記第1の側壁スペーサの1つに隣接してそれぞれ配置され、前記ソース端子およびドレイン端子は、少なくとも前記側壁スペーサの部分の下にまで延びる部分をさらに有し、

前記ソース端子およびドレイン端子が、第2平面である上面を有し、前記第2平面が前記第1平面より上にあり、前記ソース端子およびドレイン端子が、ドーピングされた結晶半導体を備える、マイクロ電子構造。

【請求項2】 さらに、前記基板内に配置され、第1部分と第2部分とを有する本体を備え、

前記第1部分が、第1導電タイプおよび第1のドーピング・プロファイルであり、前記第2部分が、第1導電タイプおよび第2のドーピング・プロファイルであり、前記第1のドーピング・プロファイルおよび前記第2のドーピング・プロファイルの間の遷移が急である請求項1に記載の構造。

【請求項3】 前記第1部分がカウンタドーパントを含み、前記第2部分は、ほぼカウンタドーパントがない請求項2に記載の構造。

【請求項4】 前記ゲート電極が、前記ゲート誘電体上に配置されたポリシリコンと、前記ポリシリコン上に配置された第1導電タイプの結晶シリコンとを備える請求項1に記載の構造。

【請求項5】 前記ゲート電極が、さらに第2導電タイプの結晶シリコンを備える請求項4に記載の構造。

【請求項6】 さらに、前記第1の側壁スペーサに隣接する第2の側壁スペーサと、前記ゲート電極の上部および前記ソース／ドレイン端子の上部に配置された金属サリサイドとを備える請求項1に記載の構造。

【請求項7】 前記ソース／ドレイン端子が、pタイプのシリコンを備える請求項6に記載の構造。

【請求項8】 前記ソース／ドレイン端子が、nタイプのシリコンを備える請求項6に記載の構造。

【請求項9】 前記ソース／ドレイン端子が、pタイプのシリコン・ゲルマニウムを備える請求項6に記載の構造。

【請求項10】 前記ソース／ドレイン端子が、nタイプのシリコン・ゲルマニウムを備える請求項6に記載の構造。

【請求項11】 a) 第1導電タイプである基板の表面上にパターニングされた構造を形成すること、

b) 前記パターニングされた構造の下にある部分を含み、表面を有するリセスを前記基板内に形成するように前記基板を等方性エッチング処理すること、および

c) 前記リセス内に第2導電タイプを有する第1の材料の層を選択的に形成することを含む接合を形成する方法。

【請求項12】 さらに、前記第1の材料の層を選択的に形成する前に、前記リセスの表面上に第1導電タイプを有する第2の材料の層を選択的に形成することを含む請求項11に記載の方法。

【請求項13】 前記基板が前記第1導電タイプを有するようにドーピングされたシリコンを含み、前記第1の材料がドーピングされたシリコンを含み、前記第2の材料がドーピングされたシリコンを含む請求項12に記載の方法。

【請求項14】 前記基板が前記第1導電タイプを有するようにドーピングされたシリコンを含み、前記第1の材料がドーピングされたシリコン・ゲルマニウムを含み、前記第2の材料がドーピングされたシリコン・ゲルマニウムを含む請求項12に記載の方法。

【請求項15】 前記第2の材料が前記第1の材料の厚みより薄い厚みを有する請求項14に記載の方法。

【請求項16】 前記第1の材料が前記基板の表面によって画定された平面

上である上面を有する請求項15に記載の方法。

【請求項17】 前記パターンニングされた構造が、誘電体層と前記誘電体層上に配置された導電材料とを備える請求項11に記載の方法。

【請求項18】 エッチングが前記リセスの表面をパッシベートする請求項11に記載の方法。

【請求項19】 エッチングが前記基板をRFプラズマ・エッチング・システム内のSF<sub>6</sub>およびHeに露出させることを含む請求項11に記載の方法。

【請求項20】 前記第1の材料を形成することが、結晶材料の層をエピタキシャル的に堆積することを含む請求項11に記載の方法。

【請求項21】 前記第1の材料を形成することが結晶材料の層をエピタキシャル的に堆積することを含み、前記第2の材料を形成することが結晶材料の層をエピタキシャル的に堆積することを含み、前記第1の材料を形成した後で、前記第2の材料を形成する前に、前記基板が大気に露出されないままである請求項11に記載の方法。

【請求項22】 トランジスタを形成する方法であって、  
ウェハの第1表面上に誘電体を形成すること、  
前記誘電体を覆う導電層を形成すること、  
ゲート構造を形成するように、前記導電層および誘電体をパターン形成すること、  
前記ゲート構造に隣接して部分的に構造の下にリセスを形成すること、および  
連続操作で、ドーピングされた結晶材料で前記リセスを充填し直すこと  
を含み、  
充填し直すことが、少なくとも第1導電タイプの結晶材料を形成することを含むトランジスタを形成する方法。

【請求項23】 前記第1導電タイプの前記結晶材料が、pタイプのシリコン、pタイプのシリコン・ゲルマニウム、nタイプのシリコン、nタイプのシリコン・ゲルマニウムからなるグループから選択される請求項22に記載の方法。

【請求項24】 充填し直すことが、さらに、第2導電タイプの結晶材料を形成することを含む請求項22に記載の方法。

【請求項25】 前記第2導電タイプの前記結晶材料が、pタイプのシリコン、pタイプのシリコン・ゲルマニウム、nタイプのシリコン、nタイプのシリコン・ゲルマニウムからなるグループから選択される請求項22に記載の方法。

【請求項26】 充填し直すことが選択的な堆積を含む請求項25に記載の方法。

【請求項27】 FETを製造する方法であって、

第1導電タイプを有する半導体基板の表面のゲート絶縁体上に側壁を有するゲート電極を形成すること、

前記ゲート電極の側壁に沿って第1スペーサを形成すること、

前記基板内を垂直方向に下方に広げ、前記基板を通して横方向にも広げて、部分的に前記ゲート電極の下にあるように、基板表面を有するリセスを形成すること、および

第2の導電タイプを有し、ドーピングされた結晶材料の第1の層で前記リセスをほぼ充填することを含むFETを製造する方法。

【請求項28】 さらに、前記第1の層の上面と前記基板の表面との間の垂直距離が、前記ゲート絶縁体の上面と前記基板の表面との間の垂直距離より大きくなるまで、ドーピングされた結晶材料の前記第1の層を堆積することを含む請求項27に記載の方法。

【請求項29】 さらに、前記リセスの基板表面上にドーピングされた結晶材料の第2の層を形成することを含み、前記第2の層が、前記半導体基板と同じ導電タイプを有し、前記第2の層が、前記リセスの前記基板表面に近い前記半導体基板のドーピング濃度より濃いドーピング濃度を有する請求項27に記載の方法。

【請求項30】 リセスを形成することが、約1.1cmのギャップ、約50Wから200Wの範囲のRFパワー、約500mTより高い圧力、および六フッ化硫黄およびヘリウムでのプラズマ・エッチングを備える平行平板反応室内に前記基板を置くことを含む請求項29に記載の方法。

## 【発明の詳細な説明】

## 【0001】

(発明の背景)

(発明の分野)

本発明は、金属酸化物半導体電界効果トランジスタ (MOSFET) に関し、より詳細には、階段 (abrupt) 接合部を有するトランジスタ構造、およびその製造方法に関する。

## 【0002】

(背景)

単一の基板上により多くの機能を集積するとともにより高い周波数で動作させる傾向は、何年もの間半導体産業に存在した。半導体プロセス技術とデジタル・システム・アーキテクチャとの双方の進歩が、より高度に集積され、またより高速に動作する集積回路を作り出すことを促進した。

## 【0003】

半導体プロセス技術における最近の多くの進歩の望ましい結果が、集積回路にある個々の回路を形成するために使用されるトランジスタの寸法を減少させた。トランジスタのサイズが減少することのいくつかの良く知られている利点がある。MOSFETの場合は、チャネル長の減少が、より小さなチャネル幅にある量の駆動電流を流す能力を与える。FETの幅と長さとの減少により、その幅と長さによって限定される面積の関数である寄生ゲート容量が減少し、それによって回路性能が向上する。同様に、トランジスタのサイズの減少は、所定の回路のために使われる面積をより小さくし、これが、所定の面積内により多くの回路を可能とし、またはより小さくより安いチップを可能とし、またはその両方を可能とする利点がある。

## 【0004】

MOSFETが、単純に線形にスケール・ダウンできないことも、良く知られている。すなわち、MOSFETのその幅と長さの属性が減少すると、ゲート誘電体および接合部などのそのトランジスタの他の部分も、望まれる電気特性を達成するように、スケールリングされなければならない。MOSFETにおける不適

切なスケーリングによる望ましくない電気特性には、チャネル領域内への電界のカップリング、および増加したサブスレッショルド・コンダクションを含む。これらの効果は、この分野では、ときどき短チャネル効果と呼ばれている。

#### 【0005】

多くの方法が開発され、適切なスケーリングを達成するために、MOSFETにより浅いソース／ドレイン接合部を形成した。残念なことに、これらの非常に浅い接合部は、より深いソース／ドレイン接合部と比べて増加した抵抗率を有するソース／ドレイン延長部を作り出していた。より深いソース／ドレイン接合部を有するより長いチャネル長のMOSFETにおいては、そのソース／ドレイン延長部の抵抗率は、MOSFET自身のオン抵抗と比べて無視できた。しかしながら、MOSFETチャネル長が、サブ・ミクロン領域に減少すると、その増加したソース／ドレイン延長部の抵抗率は、大きな性能上の制限となる。

#### 【0006】

必要とされるのは、重大なレベルのオフ状態電流を生じる短チャネル効果を受けることなく、大きな駆動電流を生成するように動作可能な、非常に短いチャネル長と、ソース／ドレイン延長部の低い抵抗率とを有する電界効果トランジスタ構造である。さらに必要とされるのは、そのような構造を製造する方法である。

#### 【0007】

##### (発明の概要)

簡単に言えば、MOSFET構造は、第1導電タイプの高い導電性のソース／ドレイン延長部と、第2導電タイプの半導体本体を有する超階段接合とを含む。

#### 【0008】

本発明のさらなる態様では、MOSFETを形成するためのプロセスは、FETゲート構造部に隣接した部分的に下にあるリセスを形成するために、基板の部分を取り除くことと、エピタキシャル・プロセスでそのリセスを充填し直すこととを含む。

#### 【0009】

##### (詳細な説明)

##### 概要

従来のソース／ドレイン接合部の形成は、ゲート電極に自己整合された、またはその代わりにゲート電極に隣接する側壁スペーサに位置合わせされたイオン注入操作によって達成される。適切なトランジスタ性能は、このように半導体プロセス技術の多くの世代で達成された。しかしながら、トランジスタのスケーリングにより、FETチャネル長が、ディープ・サブミクロン領域に縮小されると、FETの所望の電気性能を達成するために必要となるソース／ドレイン接合部深さとドーピング濃度とに対する変化は、FETソース／ドレイン端子に結合される寄生抵抗を、この寄生抵抗がFETのオン抵抗に比べて有意である点まで増加させる。この分野では、寄生抵抗は、ときどき外的抵抗 (external resistance) と呼ばれる。より具体的には、同時に、非常に浅い接合部深さと、高いソース・ドレイン延長部ドーピング濃度と、本体とソース／ドレイン接合部間のドーピング・プロファイルにおける階段状の変化とを得るということが、ディープ・サブミクロンFETの所望の電気性能のためにすべて必要とされるが、従来のプロセスで達成することが非常に困難になった。

#### 【0010】

本発明の例示的な実施形態は、高い導電性のソース／ドレイン延長部と階段接合とを有するFETを提供する。本発明のFET構造を形成する方法は、FETのゲート誘電体層に隣接し部分的に下にある基板を異方性エッチングすることと、第1の導電タイプと第2の導電タイプとのインサイチュ (in-situ) ・ドーピングされた材料の2つの層を選択的に堆積することを含む。

#### 【0011】

本発明を実現するFETは、充填し直されたソースとドレイン端子を含む。このようすることで、ソース／ドレイン端子のドーピング濃度を、反応室内のガス混合、温度、および圧力を制御することによって制御することができる。本発明の実施形態は、堆積される材料のドーピング濃度の正確な制御による、急峻な階段接合を有するマイクロ電子装置を含む。さらに、本発明の特定の実施形態は、ソース／ドレイン接合部の高エネルギーのイオン注入を除く可能性がある。ドーパントを活性化するために、またはソース／ドレイン端子の先端部分内にドーパントを熱拡散させるために高温の操作を必要としないので、このようなソース／



ドレイン接合部の形成はプロセス熱収支のための増加したマージンも提供する。

#### 【0012】

##### 術語

チップ、集積回路、モノリシック装置、半導体装置、およびマイクロ電子装置の用語は、しばしばこの分野で交換可能に用いられる。本発明は、それらの用語がその分野で一般に理解されているように、上記すべての用語に適用できる。

#### 【0013】

金属ライン、トレース、ワイヤ、導体、信号ライン、および信号送信媒体の用語は、すべて関連する。上に挙げられた関連する用語は、一般に交換可能であり、特定から一般への順に現れる。この分野では、金属ラインは、時にはトレース、ワイヤ、ライン、相互接続、または単に金属と呼ばれる。一般にはアルミニウム (Al)、銅 (Cu)、またはAlとCuとの合金である金属ラインは、電気回路を結合しまたは相互接続するための信号経路を提供する導体である。金属以外の導体が、マイクロ電子装置において利用可能である。他の導体の例は、ドーピングされたポリシリコン、ドーピングされた単結晶シリコン（そのようなドーピングが、熱拡散またはイオン注入によって達成されたかにかかわらず、しばしば単に拡散と呼ばれる）、チタン (Ti)、モリブデン (Mo)、コバルト (Co)、ニッケル (Ni)、およびタングステン (W) などの材料と、高融点金属シリサイドとである。

#### 【0014】

コンタクトおよびビアの用語は両方、異なる相互接続レベルからの導体の電気接続のための構造を意味している。これらの用語は、時々従来技術において、その構造が完成される絶縁体内の開口、およびその完成された構造自体の両方を説明するために使用される。本開示の目的のため、コンタクトおよびビアは、その完成した構造を意味する。

#### 【0015】

エピタキシャル層は、単結晶半導体材料の層を意味する。

#### 【0016】

「ゲート」の用語は、文脈の影響を受け、集積回路を説明するとき2つの意味

で用いられることができる。本明細書で使用されるとき、ゲートは、トランジスタ回路構造の文脈で使用されるときは、FETの三つ端子の絶縁されたゲート端子を意味し、論理ゲートの文脈で使用されるときは、任意の論理機能を実現するための回路を意味する。半導体本体が考慮されるとき、FETは、四端子装置として考えることができる。

#### 【0017】

多結晶シリコンは、ランダムな方向を向いた微結晶またはドメインから作られるシリコンのノンポーラスな形態である。多結晶シリコンは、しばしば、シリコン・ソース・ガスから化学的気相成長によってまたは他の方法によって作られ、ラージ・アングル粒界 (large-angle grain boundary)、ツイン粒界 (twin boundary)、またはその両方を含む構造を有する。多結晶シリコンは、この分野では、しばしばポリシリコンと呼ばれ、または時々より簡単にポリと呼ばれる。

#### 【0018】

ソース／ドレイン端子は、FETの端子を意味し、その端子間で、ゲート端子に印加された電圧の結果として生じる電界の影響下で、半導体表面の電界の反転に続いて、電界の影響下で伝導が生じる。ソース／ドレイン端子は、典型的に半導体基板内に作られ、その基板の導電タイプとは反対である導電性（すなわち、pタイプまたはnタイプ）を有する。時々、ソース／ドレイン端子は、接合と呼ばれる。一般的に、ソース／ドレイン端子は、それらが幾何学的に対称であるように製造される。ソース／ドレイン端子は、そのソース／ドレイン端子の他の部分より浅い、時々先端と呼ばれる延長部を含むことができる。その先端は、典型的にはソース／ドレイン端子の主要部分から、FETのチャネル領域に向かって延びる。幾何学的に対称なソースおよびドレイン端子のため、普通はこれら端子を単にソース／ドレイン端子と呼び、本明細書でこの命名を使用する。設計者は、FETが回路内で動作するとき、その端子に加えられる電圧に基づいて、しばしば特定のソース／ドレイン端子を「ソース」または「ドレイン」と指定する。

#### 【0019】

本明細書で使用されるとき、基板は、物理的な対象物であり、その対象物は、様々なプロセス操作によって所望のマイクロ電子構成体に変形される基本的なワ

ーク・ピースである。基板はウェハと呼ばれることもある。ウェハは、半導体材料、非半導体材料、または半導体材料と非半導体材料との組み合わせで作ることができる。

#### 【0020】

本明細書で使用されるとき、垂直の用語は基板の表面にほぼ直角を意味する。

#### 【0021】

図1～6を参照すると、本発明の例示的な実施形態が説明されている。図1に示されるように、ウェハは知られている方法で処理され、パターニングされたゲート電極の上、およびウェハ上面に堆積されたゲート誘電体層の上に薄いフィルム層を形成する。より詳細には、図1に示されるように、基板102は、その基板の表面上に堆積されたゲート誘電体層104を有し、パターニングされたゲート電極106がゲート誘電体層104上に形成される。例示された実施形態では、基板102はシリコン・ウェハであり、ゲート誘電体層104は二酸化シリコンであり、ゲート電極106はポリシリコンから作れる。ゲート誘電体層104は、典型的には酸化されたシリコンの薄い層であるが、ゲート絶縁体層の厚みと化学的な構成は、本発明の範囲内で変えることができる。

#### 【0022】

当業者および本開示で利用する者は、フィールド酸化物領域がこれらの図には示されていないが、本明細書に示され説明されるその動作と構造とは、様々なフィールド酸化物絶縁体アーキテクチャと適合することを理解するであろう。フィールド酸化物絶縁体アーキテクチャの例は、基板の表面内の浅いトレンチ絶縁体領域、および平面的でない酸化物絶縁体領域を作るより古い選択酸化法を含む。

#### 【0023】

薄いフィルム層108が、ゲート電極106の表面上、およびゲート電極106によって覆われていないゲート誘電体層104の部分に堆積される。薄いフィルム層108は、スペーサ層と呼ばれることもある。なぜなら、ゲート電極106の側壁に隣接するスペーサは、その後の処理において層108から形成されるからである。スペーサ層108が、基板102とゲート電極106のエッチング特性とは異なるエッチング特性を有することが好ましい。スペーサ層108のた

めの材料は、それに限定されないが、窒化物、酸化窒化物、および酸化物を含むあらゆる誘電体材料とすることができる。例示的な実施形態において、ゲート電極106を形成するポリシリコンのエッチングに続いて、シリコン窒化物の薄い層がスペーサ層108を形成するために基板の表面上に堆積される。一実施形態において、シリコン窒化物は、約20nmの厚みであり、垂直拡散炉で形成される。しかしながら、窒化物の厚みは、本発明を制限するものではなく、例えば2nmから50nmの範囲の厚さの任意の実際の厚さとしてもよい。この窒化物層は、後続のエピタキシャルの充填し直す操作の間に、必要な選択性を提供するために使用される。同様に、スペーサ層は、例えば二酸化物のような他の材料で形成されることが可能である。シリコン二酸化物は、シリコン窒化物の誘電率より小さい誘電率を有し、これは、ゲート電極と他の付近の回路ノードとの間の寄生容量を低くすることに関して有利である。

#### 【0024】

図2を参照すると、スペーサ層108は、例えばシリコン窒化物に対する従来のドライ・エッチング化学作用を用いて、異方性エッチングされる。このエッチング操作に続いて、ソース／ドレイン領域には、残留するシリコン窒化物の有意な量は残らない。例示的な実施形態においては、この異方性エッチング操作は、ポリシリコン・ゲート電極106の側壁に沿って、約150nm厚み（垂直軸に沿って測定されたとき）の窒化物層を残す。典型的には、この層の垂直高さ（すなわち厚み）は、ゲート電極106の厚みにほぼ等しい。これらのポスト・エッチング窒化物構造は、スペーサと呼ばれる。図1～2に見られるように、ゲート電極106の上面に直接隣接するシリコン窒化物スペーサ層108の部分は、スペーサ層のエッチング操作によって取り除かれる。

#### 【0025】

図3を参照すると、平行平板RFプラズマ・エッチング・システム内で、等方性ドライ・エッチング・プロセスを使用して、基板102内に複数のリセスが形成される。等方性に好ましいプロセス条件で、六フッ化硫黄（SF<sub>6</sub>）およびヘリウム（He）の混合物が用いられる。そのような条件は、高圧力および低いRF電力密度を含む。本発明の一実施形態では、約900mTのプロセス圧力、1

1 cmのギャップ、100 WのRF電力、150 sccmのHe流量、および100 sccmのSF<sub>6</sub>流量が使用される。RF電力は、例えば50 Wから200 Wの範囲で変えることができる。そのプロセス圧力を変えることができるが、約500 mTより大きくなるべきである。このエッチング・プロセスは、選択性が高く、ゲート誘電体層104を形成するシリコン二酸化物のエッチング・レートより非常に速い、シリコン・エッチング・レートを特徴とする。同様に、シリコン基板102のエッチング・レートは、側壁スペーサ108を形成するシリコン窒化物のエッチング・レートより非常に速い。ゲート誘電体層104の電気特性は、基板102内にリセスを形成するエッチング・プロセスに不利とならない。

#### 【0026】

図3に見ることができるように、リセスは、ゲート誘電体層104の下にある部分を含む。その例示的な実施形態において、基板102は等方性エッチングされる。その側方エッチングは、スペーサのすぐ下だけでなく、ゲート電極106によって区画された領域にすぐ下の一部に達する窪んだ領域を形成する。

#### 【0027】

シリコン窒化物スペーサ層108は、ポリシリコン・ゲート電極106の上面から取り除かれているので、リセスを形成するエッチングによって、ポリシリコン・ゲート電極106の上面もエッチングされ、従って、図3に示されるように電極の高さを低減させることに留意されたい。

#### 【0028】

当業者および本開示で利用する者は、上に開示された操作と構造とは、nチャネルFET（NFET）およびpチャネルFET（PFET）の両方の形成に適用できることは理解するであろう。NFETおよびPFETは、構造的に似ている。しかしながら、pタイプ・ドーパントとnタイプ・ドーパントとの相対的な配置が異なる。すなわち、PFETは、nタイプの本体内にpタイプのソース／ドレイン端子を含み、NFETは、pタイプの本体内にnタイプのソース／ドレイン端子を含む。

#### 【0029】

例示された実施形態は、P F E Tの形成に関して説明されている。本発明は、同様にN F E Tの構造と製造とに適用されることも理解されなければならない。図4を参照すると、ボロンがドーピングされたS iのエピタキシャル・フィルム110がS i H<sub>2</sub>C l<sub>2</sub>ベースの化学作用を用いて形成される。その堆積は、窒化物スペーサ108に対して選択性が高い、すなわち、ボロンがドーピングされたS iフィルム110がシリコン窒化物スペーサ108の上に形成また接着されない。しかしながら、リセスは、この堆積プロセスによってほぼ充填される。リセスをこの操作によって完全に充填させることもできる。エクス・サイチュ(ex-situ)洗浄操作は実行されない。外的なウエット洗浄は、薄いゲート誘電体層104を損傷する傾向があるためである。代替の実施形態では、リセスを充填するフィルムを形成するために、ボロンがドーピングされたS i G eをボロンがドーピングされたS iの代わりに使用することができる。典型的には、エピタキシャル・フィルム110は、その上面が基板102の最初の表面の平面より上になるように堆積される。これは、基板102の最初の表面上に形成されたゲート誘電体層104の相対位置を、S i層110の上面と比較することによって図4に見ることができる。さらに図4に示されるように、ボロンがドーピングされたS iのエピタキシャル・フィルム110は、ゲート電極106の上面にも形成される。このように、ポリシリコン・ゲート電極106の厚みは、そのポスト・エッチング寸法から増加される。

#### 【0030】

さらに図4を参照すると、ボロンがドーピングされたS iフィルム110は、選択的堆積によって形成される。シリコン、またはシリコン・ゲルマニウムなどのシリコン合金の選択的堆積は、露出されたシリコン表面上に、シリコンまたはシリコン合金を形成する。例えば、ボロンがドーピングされたシリコンの選択的堆積は、シリコン基板102とポリシリコン・ゲート電極106の露出された表面上にS iフィルム110を作り出す。シリコン・フィルムは、ジクロロシラン(S i H<sub>2</sub>C l<sub>2</sub>) および水素(H<sub>2</sub>) からなる堆積ガスを供給しながら、約600℃から900℃の温度にウェハを加熱することによって選択的に堆積される。より詳細には、nタイプのシリコンは、約750℃の温度で、約10 s 1 m H<sub>2</sub>

、約30 s c c m H C l、約100 s c c m S i H<sub>2</sub>C l<sub>2</sub>、および180 s c c m P H<sub>3</sub>とともに、ほぼ大気圧で選択的に堆積される。そのようなプロセス条件は、約50 nmの厚さの層を約6分間で堆積することができる。pタイプのシリコンは、約800℃の温度で、約20 s l m H<sub>2</sub>、約70 s c c m H C l、約120 s c c m S i H<sub>2</sub>C l<sub>2</sub>、および75 s c c m B<sub>2</sub>H<sub>6</sub>とともに、選択的に堆積させることができる。そのようなプロセス条件は、約50 nmの厚さの層を約155秒間で堆積することができる。

#### 【0031】

シリコン・ゲルマニウム合金は、約10から100 s c c m間のレートのジクロロシラン、約10から200 s c c m間のレートの1%の水素で希釈されたゲルマン (G e H<sub>4</sub>)、および約20 s l mのレートの水素からなる堆積ガス混合物を、約50から760 t o r rの間の圧力に維持されたCVD室内に供給しながら、約700℃から750℃の間の温度にウェハを加熱することによって選択的に堆積される。ドーピングされたシリコンまたはシリコン合金フィルムが望ましいなら、ジボラン、フォスフィン、またはアルシンなどのドーパント・ガスをそのプロセス・ガスの混合物に含めることができる。

#### 【0032】

高濃度にドーピングされた ( $>5 \times 10^{20}$  原子 / c m<sup>3</sup>) nタイプのシリコン・ゲルマニウム・エピタキシャル・フィルムは、約10から200 s c c mのG e H<sub>4</sub>、約10から100 s c c mのジクロロシラン、10から40 s l mの水素、1から200 s c c mのP H<sub>3</sub>、および15 s c c mのH C lからなる堆積ガス混合物を利用して、一方、700℃から750℃の間の温度に基板を維持しながら、およびフィルム堆積中に約165 t o r rの堆積圧力を維持しながら、熱的な化学的気相成長によって、シリコン基板上に選択的に堆積させることができる。そのようなプロセスは、ほぼ均一にドーピングされたnタイプのシリコン・ゲルマニウム・エピタキシャル・フィルムを形成する。同様に、pタイプのシリコン・ゲルマニウム合金は、約740℃の温度で、約20 s c c mのジクロロシラン、約80 s c c mのゲルマン、約20 s l mの水素、および約1~200 s c c mのB<sub>2</sub>H<sub>6</sub>などのpタイプのドーパント・ソースの分解によって形成させ

ることができる。堆積プロセスの選択性を増加させるために、約10 s c c mのHClを、そのガス混合物に追加することもできる。そのようなプロセス条件は、約50 nmの厚さの層を約75秒で堆積することができる。

#### 【0033】

当業者および本開示を利用する者は、堆積操作が、フィールド酸化物領域内、または浅いトレンチ絶縁体領域内の酸化物に対する選択性も達成されるようなものであることを理解するであろう。

#### 【0034】

図5は、さらなる処理操作が実行された後の、図4のFET構造を示す。対抗する側壁スペーサ108に沿って堆積される追加の側壁スペーサ112を形成するために従来の処理を使用することができる。さらに、ドーピングされたSi領域110、すなわちソース／ドレイン延長部領域およびポリシリコン・ゲート電極106の上にサリサイドされた領域114を形成するためにも従来の処理を使用することができる。サリサイドされたソース／ドレイン延長部の形成に本発明の構造が有利であることに留意されたい。例えば、ニッケル・サリサイド層を形成するのに、比較的容易にシリコン内に拡散するニッケルなどの金属を使用すると、ニッケル原子の横方向拡散が窒化物側壁スペーサ108によって停止され、従ってニッケル原子がチャンネル領域内に侵入しない。そうでなければチャンネル領域で、ニッケル原子は、MOSFETの電気特性に不利に影響を与えるであろう。Si 110の厚さおよびサリサイド層114の深さは、本発明の範囲内で変えることができ、構造的な金属原子拡散バリア特性にまだ役に立つことは、図4に見ることができる。

#### 【0035】

図6を参照すると、本発明のさらなる代替の実施形態において、ボロンがドーピングされたSi 110のインサイチュ・エピタキシャル形成の前に、リンがドーピングされたSi 111の層が、エピタキシャル形成される。当業者および本開示を利用する者は、他のnタイプ・ドーパントをリンの代わりに使用することができることを理解するであろう。砒素が、代替のnタイプ・ドーパントの例である。



## 【0036】

単結晶エピタキシャル層のドーピング濃度は、エピタキシャル反応室内のガス混合物、温度、および圧力の関数であるので、第1の導電タイプ（例えば、リンでドーピングされたnタイプ）の高濃度にドーピングされたSi層111（または $Si_{1-x}Ge_x$ 、 $x=0$ から0.3）をまず形成することができる。その後、ウェハを大気に露出することなく、第2の導電タイプ（例えば、ボロンでドーピングされたpタイプ）の高濃度にドーピングされたSi層110が、Si層111に直接上に隣接して形成されるように、ガス混合物、温度、および圧力を変化させる。このように、基板102内のリセスは、非常に急な階段接合となる単結晶シリコン（または $Si_{1-x}Ge_x$ 、 $x=0$ から0.3）の2つの層で充填される。

## 【0037】

第1の導電タイプで比較的薄くドーピングされた基板102、第2の導電タイプで濃くドーピングされたソース／ドレイン端子110、およびソース／ドレイン端子110と薄くドーピングされた基板102との間に配置された第1の導電タイプの濃くドーピングされた領域111を有することによって、所望の電気特性を得ることができる。その選択的な堆積プロセス（上述した）の性質のため、濃くドーピングされた領域110、111は、ソース／ドレイン延長部領域内だけではなく、ゲートへの先端の重なった領域内にも濃くドーピングされる。その先端という用語は、ゲートの下に隣接し、FETのチャネル部分に隣接しているソース／ドレイン接合部の部分を意味するために一般的に使用される。

## 【0038】

図7に関連して、本発明の例示的な実施形態によるウェハ上のFETの製造方法を説明する。パターニングされたゲート電極上にスペーサ層を形成する操作（ブロック202）が実行される。本発明の例示的な実施形態では、ゲート電極は、ゲート誘電体層上に前に堆積されたポリシリコンからなる。ゲート誘電体は、典型的には酸化されたシリコンである。酸化物ゲート誘電体とポリシリコン・ゲート電極とを有するその例示的な実施形態では、スペーサ層は、典型的にはシリコン窒化物である。当業者および本開示を利用する者は、本発明が酸化物誘電体およびポリシリコン・ゲート電極の組み合わせに限定されないことを理解するで

あろう。限定しない例として、ゲート誘電体層は、酸化物層と窒化物層との組み合わせからなることができる。同様に、限定しない例として、ゲート電極は、ポリシリコンよりむしろ金属から形成されることができる。

#### 【0039】

スペーサ層が形成された後、側壁スペーサが形成される異方性エッチング（ブロック204）を受ける。その異方性エッチングの間、ゲート電極の上面およびウェハの表面上に隣接するスペーサ層の部分が取り除かれる。スペーサ層の残りの部分が、ゲート電極の対向する垂直な側壁に沿って配置される。

#### 【0040】

リセスが、FETのソース／ドレイン端子が位置する場所のウェハ内に形成される（ブロック206）。リセスはウェハの等方性エッチングによって形成される。この分野で理解されるように、等方性エッチング操作は、ウェハ表面の垂直方向および横方向の両方から材料を取り除く。そのエッチングが、側壁スペーサまたはゲート誘電体層よりむしろウェハを非常に選択的におよび優先してエッチングするように、エッチング化学作用と条件が選択される。ウェハがシリコンであり、ゲート誘電体がシリコンの酸化物であり、ゲート電極がポリシリコンであり、および側壁スペーサがシリコン窒化物である例示の実施形態では、六フッ化硫黄（ $\text{SF}_6$ ）およびヘリウム（ $\text{He}$ ）を用いたプラズマ・エッチングが使用される。

#### 【0041】

リセスが形成された後、ウェハは、典型的にはエピタキシャル反応装置内に置かれ、ドーピングされた結晶材料の第1の層が形成される（ブロック208）。その結晶材料は、例えば、pタイプのシリコン、pタイプのシリコン・ゲルマニウム、nタイプのシリコン、またはnタイプのシリコン・ゲルマニウムである。典型的には、第1の層の導電タイプは、FETが製造されるウェハの部分の導電タイプに適合する。当業者は、ウェハの様々な部分が、その中にFETを製造するためのウェルを形成するようにドーピングされおよび／またはカウンタ・ドーピングされることが理解できるであろう。例えば、nチャネルFET（NFET）がウェハのpタイプ領域内に形成され、一方、pチャネルFET（PFET）

がウェハのnタイプ領域内に形成される。

#### 【0042】

第1の層が形成された後、ドーピングされた結晶材料の第2の層が形成される(ブロック210)。第2の層は、典型的には、第1の層を大気に露出することなく形成される。すなわち、第2の層および第1の層は、インサイチュウ操作で連続して、エピタキシャル反応装置内でガス混合物、温度、および圧力を単に変化させることで、同じ反応室内で形成される。結晶材料は、例えば、pタイプのシリコン、pタイプのシリコン・ゲルマニウム、nタイプのシリコン、またはnタイプのシリコン・ゲルマニウムであることができる。典型的には、第2の層の導電タイプは、第1の層の導電タイプと反対であるように選択される。このように、非常に急な接合を得ることができる。

#### 【0043】

例えば、PFETのゲート構造は、シリコン・ウェハのnタイプ部分の領域内に形成され、ソース／ドレイン・リセスが形成された後、nドーピングされた(例えばリン)シリコン・ゲルマニウムの第1の層がリセス内に形成され、その後pドーピングされた(例えばボロン)シリコン・ゲルマニウムの第2の層が第1の層上に形成される。第1および第2の層の両方が、PFETの本体端子を形成するシリコン・ウェハのnタイプ部分のドーピング濃度よりかなり濃いドーピング濃度を有する。より特定のには、第1および第2の層は、本質的にカウンタドープメントがなく、一方、ウェハのnタイプ領域は、nタイプおよびpタイプのドープメントの両方を含む。ゲート構造体は、ゲート電極、またはゲート電極および隣接する側壁スペーサであることも可能である。

#### 【0044】

シリサイデーション操作は、典型的には、ソース／ドレイン端子およびゲート電極のシート抵抗率をさらに低減させるために実行される。

#### 【0045】

### 結論

本発明の実施形態は、非常に短いチャネル長でソース／ドレイン延長部が低い抵抗でありながら、かなりの大きいレベルのオフ状態電流を作り出す短チャネル

効果を受けることなく、大きい駆動電流を生成できるように動作可能である電界効果トランジスタ構造を提供する。本発明のさらなる実施形態は、そのような構造を製造する方法を提供する。

【0046】

本発明の特定の実施形態の利点は、ソース／ドレイン端子をアニーリングすることなく製造することができる。ドーパントを活性化するために従来必要であった高温ステップを除くことによって、熱拡散が避けられ、非常に急な階段接合が維持される。

【0047】

本発明の特定の実施形態の利点は、ゲート電極の対向する垂直壁に沿って側壁スペーサを形成させて充填し直すことによって形成された上げられた接合部は、サリサイド処理の間のトランジスタ・チャネル領域内に金属原子の横方向拡散をほぼ妨げる。

【0048】

本発明の特定の実施形態の利点は、ソース／ドレイン端子の先端部分内への直接の活性ドーパントの導入である。

【0049】

本発明の特定の実施形態の利点は、非常に正確なドーピング・プロファイルが達成されることである。

【0050】

本発明の特定の実施形態の利点は、非常に浅く、高濃度にドーピングされたソース／ドレイン端子が、その先端部分へのイオン注入なしに形成できることである。いくつかの場合では、チャネル領域から離れるように位置するソース／ドレイン端子の部分形成のために典型的に使用される深いソース／ドレイン注入さえ除くことができる。

【0051】

多くの設計における選択が、本発明の範囲内で可能であることは、本開示を利用する当業者に理解されるであろう。例えば、ゲート絶縁体の厚み、ゲート絶縁体材料、ゲート電極の厚み、側壁スペーサ材料、層間誘電体材料、絶縁トレンチ

の深さとS/D、およびウエル・ドーピング濃度を含みこれに限定されない構造パラメータは、すべて例示的に実施形態と共に示されまたは説明されたものから変えることができる。同様に、リセスを形成する操作、およびドーピングされる結晶材料で充填し直す操作は、そのソース／ドレイン端子の形状およびドーピング・プロファイルを合わせるために繰り返すことができる。

#### 【0052】

説明され示された部品およびステップの詳細、材料、および配置における様々な他の変化は、添付された特許の範囲に記載された本発明の原理および範囲から逸脱することなく、本開示を利用する当業者によってなされることは理解されるであろう。

#### 【図面の簡単な説明】

##### 【図1】

ウェハ上に形成されたゲート誘電体と、そのゲート誘電体を覆うパターニングされたゲート電極と、そのウェハの表面を覆って形成されたスペーサ層とを備える基板を示す、プロセス中のウェハの概略断面図である。

##### 【図2】

そのスペーサ層の異方性エッチングが薄い側壁スペーサを形成し、ゲート電極または側壁スペーサによって被覆されていないゲート誘電体を取り除かれた後の、図1の構造を示す概略断面図である。

##### 【図3】

異方性エッチングが、基板にリセスを形成するためにその基板の部分を取り除いた後の、さらにエッチングされて除かれたゲート電極の部分を示す、図2の構造を示す概略断面図である。

##### 【図4】

リセスが充填し直され、ゲート電極厚みが作り上げられた後の、図3の構造を示す概略断面図である。

##### 【図5】

サリサイド処理の後の、図4の構造を示す概略断面図である。

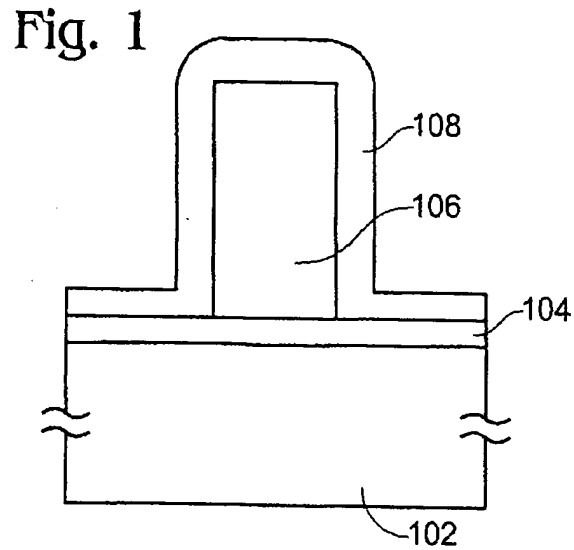
##### 【図6】

リセスを充填し直すことが、第1導電タイプの層の形成に続いて第2導電タイプの層の形成を含む、代替のプロセス・フロー後の、図3の構造を示す概略断面図である。

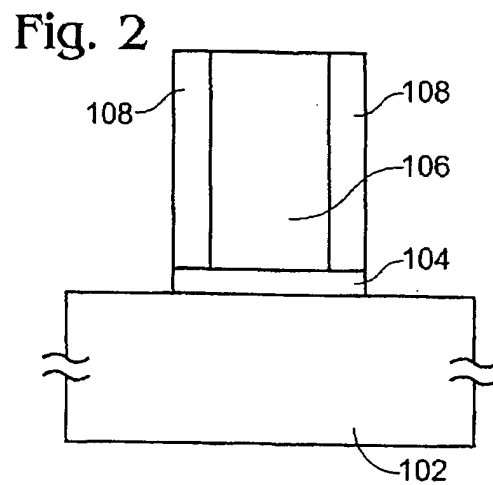
【図7】

本発明による製造プロセスにおける様々な操作を示すフローチャートである。

【図1】

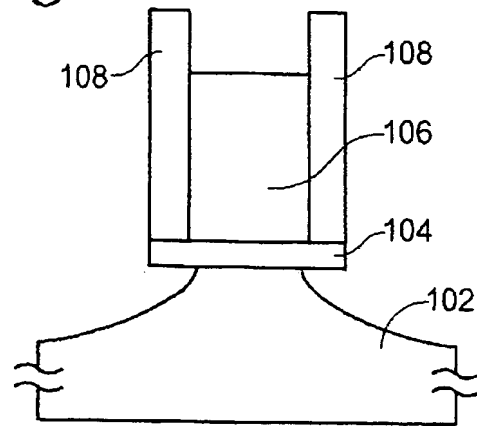


【図2】



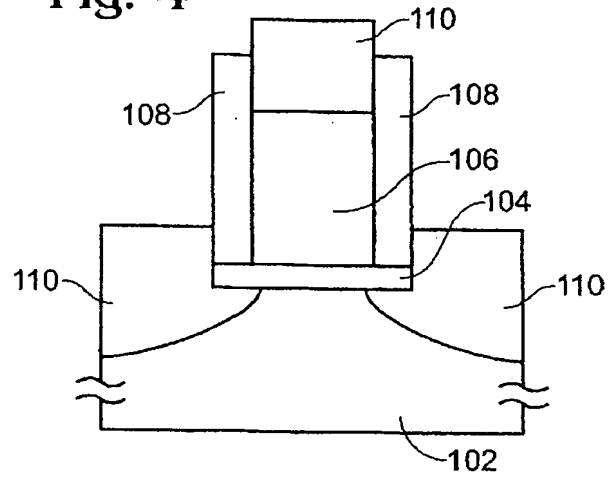
【図 3】

Fig. 3



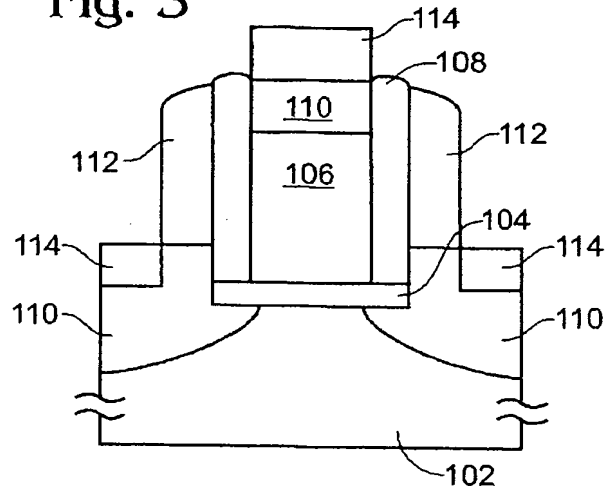
【図 4】

Fig. 4



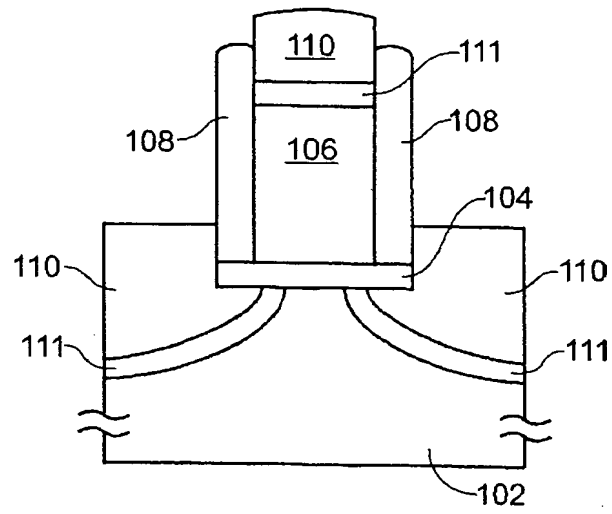
【図 5】

Fig. 5



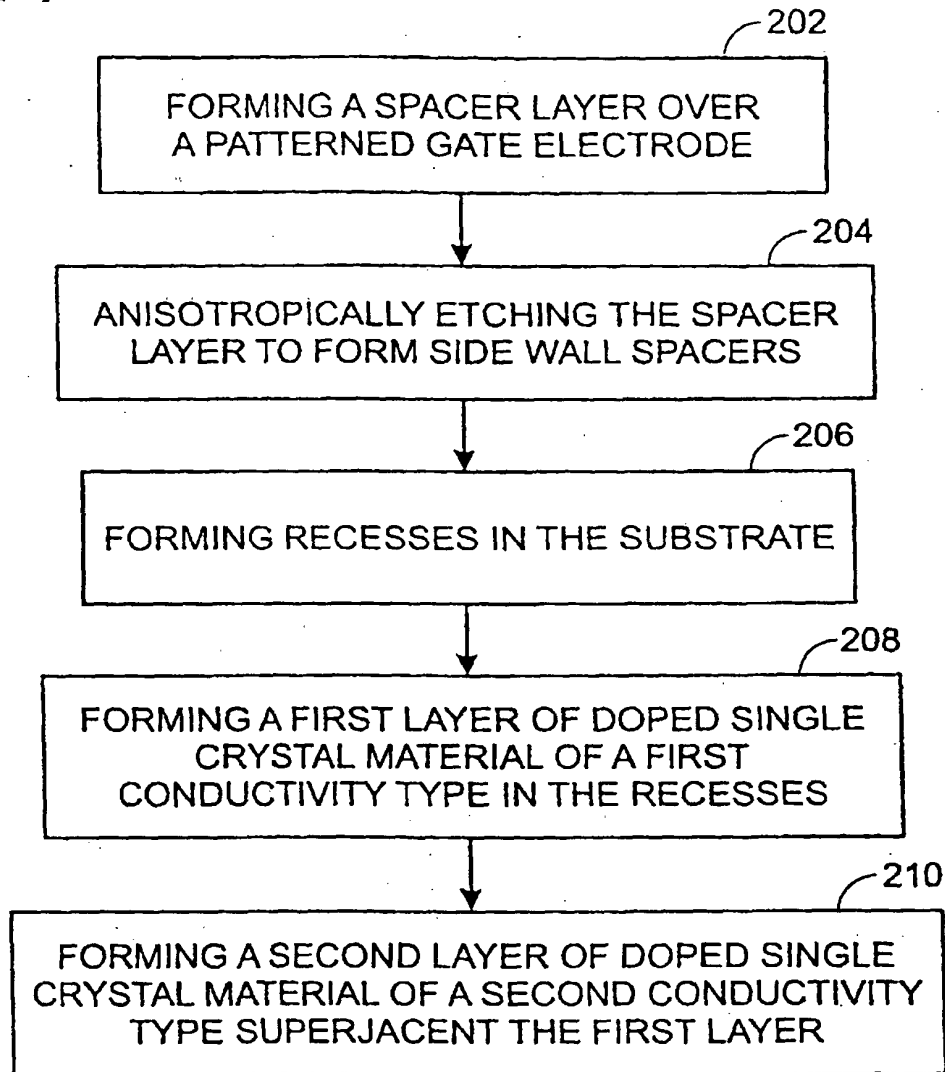
【図6】

Fig. 6





【図7】



- 202 パターニングされたゲート電極上にスペーサ層を形成する。  
204 側壁スペーサを形成するために、スペーサ層を異方性エッチングする。  
206 基板内にリセスを形成する。  
208 リセス内に第1の導電タイプのドーピングされた単結晶材料の第1の層を形成する。  
210 第1の層の上に隣接して第2の導電タイプのドーピングされた単結晶材料の第2の層を形成する。

## 【国際調査報告】

## INTERNATIONAL SEARCH REPORT

 Intern. application No.  
PCT/US99/25224

## A. CLASSIFICATION OF SUBJECT MATTER

IPC(6) : HO1L 21/336

US CL : 438/300

According to International Patent Classification (IPC) or to both national classification and IPC

## B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

U.S. : 438/300, 438/299, 438/713, 438/488, 438/481, 438/341, 438/365

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched:  
NONEElectronic data base consulted during the international search (name of data base and, where practicable, search terms used)  
NONE

## C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	US 5,300,447 A (Anderson) 05 April 1994, (05/04/94), fig. 1b	1, 11, 22
Y	US 4,870,029 A (Easter et al.) 26 September 1989, (26/09/89), figs. 3-6, cols. 2-4	11
X	US 5,504,018 A (Sato) 2 April 1996, (02/04/96), cols. 10-13	7, 9-10, 14-15, 25
X	S.Wolf and R.N. Tauber, Silicon Processing for the VLSI Era, V1-Process Technology, pp 173-174, 545-547	11, 30

☒ Further documents are listed in the continuation of Box C. ☐ See patent family annex.

* Special categories of cited documents:	* T* later documents published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
* A* document defining the general state of the art which is not considered to be of particular relevance	* X* document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
* E* earlier document published on or after the international filing date	* Y* document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
* L* document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	* G* document member of the same patent family
* O* document referring to an oral disclosure, use, exhibition or other means	
* P* documents published prior to the international filing date but later than the priority date claimed	

Date of the actual completion of the international search

14 JANUARY 2000

Date of mailing of the international search report

10 FEB 2000

 Name and mailing address of the ISA/US  
Commissioner of Patents and Trademarks  
Box PCT  
Washington, D.C. 20231

Facsimile No. (703) 305-3230

Authorized officer

CHANDRA CHAUDHARI

Telephone No. (703) 308-0000

Form PCT/ISA/210 (second sheet)(July 1992)\*

## INTERNATIONAL SEARCH REPORT

International application No.  
PCT/US99/26224

## C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	US 4,714,685 A (Schubert) 22 December 1987, (22/12/87), figs. 1-19, cols 3-8	1-6, 8, 11-13, 16-18, 20, 22-24, 26-29

## フロントページの続き

(81) 指定国 EP (AT, BE, CH, CY, DE, DK, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE), OA (BF, BJ, CF, CG, CI, CM, GA, GN, GW, ML, MR, NE, SN, TD, TG), AP (GH, GM, KE, LS, MW, SD, SL, SZ, TZ, UG, ZW), EA (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), AE, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BY, CA, CH, CN, CR, CU, CZ, DE, DK, DM, EE, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, JP, KE, KG, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, NO, NZ, PL, PT, RO, RU, SD, SE, SG, SI, SK, SL, TJ, TM, TR, TT, TZ, UA, UG, US, UZ, VN, YU, ZA, ZW

(72) 発明者 チャウ, ロバート・エス

アメリカ合衆国・97008・オレゴン州・ピーバートン・サウスウエスト ハーネスレーン・13525

(72) 発明者 モロー, パトリック

アメリカ合衆国・97229・オレゴン州・ポートランド・ノースウエスト シンナショウ ドライブ・6150

(72) 発明者 ジャン, チャーボン

アメリカ合衆国・97229・オレゴン州・ポートランド・ノースウエスト 176ティエイチ アベニュー・395

(72) 発明者 パッカ, ポール

アメリカ合衆国・97007・オレゴン州・ピーバートン・サウスウエスト ジブラルターコート・15025

Fターム(参考) 5F140 AA10 AA29 AA40 AB03 BA01  
BA05 BD05 BD10 BF04 BF05  
BF11 BF14 BF18 BF21 BF28  
BG08 BG11 BG12 BG14 BG29  
BG34 BG51 BG53 BH27 BH33  
BJ01 BJ08 BK09 BK12 BK18  
BK34 CB01 CB04 CF04

## 【要約の続き】

れたリセスを実施できる。